

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270521

(43) 公開日 平成9年(1997)10月14日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 F
	27/08	3 3 1	27/08	3 3 1 E
	21/336		29/78	6 1 3 A
				6 2 7 E

審査請求 有 発明の数 1 O L (全 5 頁)

(21) 出願番号 特願平8-328110
 (62) 分割の表示 特願昭62-72368の分割
 (22) 出願日 昭和62年(1987)3月26日

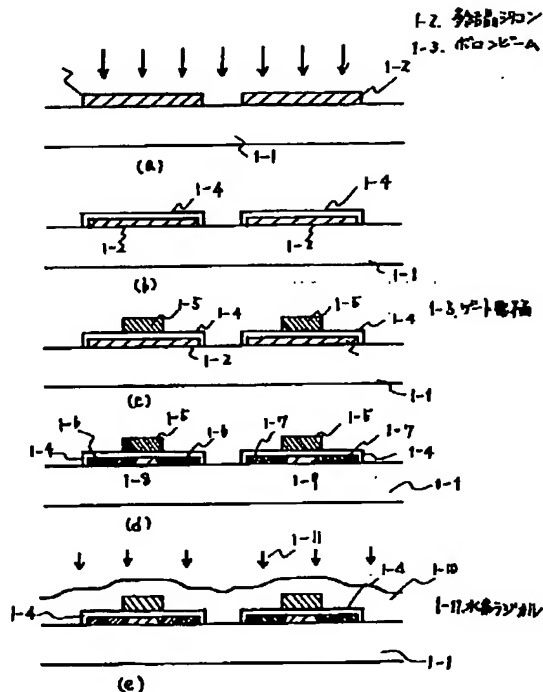
(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72) 発明者 竹中 敏
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】立ち上がりが急峻でV_{th}が小さくてOFFリーク電流が小さい多結晶シリコン薄膜トランジスタを提供する。

【解決手段】第1導電型多結晶シリコン薄膜トランジスタと第2導電型多結晶シリコン薄膜トランジスタとを有する薄膜トランジスタの製造方法において、絶縁基板上に前記第1導電型多結晶シリコン薄膜トランジスタの第1多結晶シリコン薄膜と前記第2導電型多結晶シリコン薄膜トランジスタを形成する工程も、前記第1及び第2多結晶シリコン薄膜の両方に第1導電型の不純物を低濃度にドーピングする工程とを有する。



【特許請求の範囲】

【請求項1】 絶縁性透明基板上に、Nチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、ゲート電極形成前に、ボロンをチャネルドーピングする工程とゲート電極形成後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、透明性絶縁基板上に形成されるアクティブマトリクスあるいはイメージセンサの画素のスイッチング素子あるいは駆動用回路に用いられるCMOS (Complementary-Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッシュホルド電圧の絶対値が一致するCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】多結晶シリコンにおいては、結晶粒界に存在するダングリングボンドなどの欠陥が、キャリアに対するトラップ準位あるいは障壁として働くと一般的に考えられており（たとえば、John Y. W. Seto, J. Appl. Phys., 46, 5247 (1975) など）従って多結晶シリコン薄膜トランジスタの性能を向上させるためには、前記欠陥を低減させる必要がある。（たとえば、J. Appl. Phys., 53 (2), 1198 (1982) など）その目的で、水素による前記欠陥の終端化が行なわれており、その中でも代表的な方法が、水素プラズマ処理（たとえば、応用物理学会、1986年秋季大会予稿集、講演番号27p-Q-5、水素プラズマに関しては、電子材料1981年1月号p124参照）あるいはプラズマ窒化膜の形成（電子通信学会技術研究報告SSD83-75, 23ページ）である。これらの方法を用いるとスレッシュホルド電圧（以下 V_{th} と記す。）の絶対値が小さくなりサブスレッシュホルド領域の立ち上がりが急しゅんになる。

【0003】

【発明が解決しようとする課題】しかし、前述の従来技術では、 V_{th} のシフトという問題が無視できなくなる。つまりNチャネルトランジスタがデプレッション方向にシフトしてOFFリーク電流が上昇し、Pチャネルトランジスタがエンハンスメント方向にシフトするという問題点を有するのである。（電子通信学会技術研究報告SSD83-75, 23ページ参照）この原因としてはプラズマにさらされる事により、ゲート酸化膜中に正の固定電荷が形成され、チャネル部が常に負に誘起され

ている為だと考えられる。従って、多結晶シリコン薄膜をあらかじめP型にしておけば、水素プラズマ処理による前述のようなトランジスタ特性のシフトの問題を解決できる。

【0004】本発明は、このような水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程に共なうトランジスタ特性の異常シフトの問題を解決し、 V_{th} の絶対値が小さくてサブスレッシュホルド領域の立ち上がりが急しゅんでさらにPチャネル及びNチャネル共にその V_{th} の絶対値がほぼ等しいCMOS型多結晶シリコン薄膜トランジスタを提供することを目的としている。

【0005】

【課題を解決するための手段】本発明のCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上にNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、ゲート電極形成前に、ボロンをチャネルドーピングする工程と、ゲート電極形成後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする。

【0006】

【発明の実施の形態】図1により、本発明の実施例を工程図に従って説明する。同図(a)において、絶縁性透明基板1-1上に無添加多結晶シリコン薄膜の島1-2を形成する。前記無添加多結晶シリコンは、減圧CVDなどで堆積させられる。さらに島1-2はフォトリソで形成される。次にウェハ全面にわたってイオン打込み法によって、多結晶シリコンに対してP型不純物であるボロンをチャネル打込みしてライトP型多結晶シリコンにする。1-3はボロンビームを示す。ただし、 V_{th} のシフト量が1ボルト程度で、抵抗率が低下しないくらいの打込み量に設定する必要があり、およそ 10^{12} cm^{-2} から 10^{13} cm^{-2} 程度が適当である。続いて同図(b)で示すように熱酸化によりゲート酸化膜1-4を形成する。ゲート酸化膜形成後にチャネルドーピングする方法もあるが、この場合ゲート酸化膜へのイオン打込みによるダメージが考えられ（たとえば応用物理、第54巻、第12号、1268ページ1985年参照）素子のプラズマに対する耐性が劣化することが予想される。従って、本実施例のようにゲート酸化膜形成前にチャネルドーピングするほうが良いものと考えられる。同図(c)、(d)はCMOS構造を製造する一般的な工程である。1-5はゲート電極であり、該ゲート電極をマスクとし、ボロン及びリンを選択的にイオン打込みし、ソース及びドレイン部を形成する。(d)に示すようにPチャネル多結晶シリコン薄膜トランジスタ1-8及びNチャネル多結晶シリコン薄膜トランジスタ1-9を形成する。1-6はボロン打込み領域、1-7はリン

打込み領域を示す。水素イオン打込み方の場合はこの状態で行なう。次に層間絶縁膜を形成する。該層間絶縁膜としてプラズマ窒化膜 Si_3N_4 を用いると多結晶シリコンの水素化が層間絶縁膜形成と同時に達成される。同図(e)に示すように層間絶縁膜1-10にCVDS SiO_2 などを用いた場合は、続いて水素プラズマ処理を行なう。1-11は水素プラズマにより発生した反応性の高い水素ラジカルを示している。水素プラズマは、平行平板型の一般的なプラズマ装置と H_2 ガスを用いることにより簡単に得ることができる。一方、水素プラズマ処理工程は、コンタクト電極を形成した後に行なっても、何ら問題はない。

【0007】以上述べたように本実施例によれば、従来の水素プラズマ処理でNチャネル多結晶シリコン薄膜トランジスタがデプレッション方向にシフトし、そしてPチャネル多結晶シリコン薄膜トランジスタがエンハンスメント方法にそれぞれシフトするという異常シフトの問題を、チャネル部の多結晶シリコンにボロンを低濃度(10^{12}cm^{-2} から 10^{13}cm^{-2} 程度)にチャネルドーピングしてライトP型多結晶シリコンにしたことにより防止することができる。従って、水素プラズマ処理による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッシホルド領域の立ち上がりが急しゅんとなり、 V_{th} の絶対値が低減され、しかもNチャネル、Pチャネル共にその V_{th} の絶対値の大きさが一致するというすぐれた特性を持つCMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。第2図にNチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。この図は発明者が実験して得たデータである。横軸はゲートとソース間電圧 V_{gs} であり、たて軸はドレイン電流 I_{ds} の対数である。測定はドレインとソース間電圧 V_{ds} を5Vで行なった。破線2-1の曲線が従来方法による結果であり、実線2-2の曲線がボロンのチャネルドーピングを行なった本発明の実施例による結果である。ただし、チャネルドーピングはゲート酸化膜形成後に行ない、打込み量はボロン $5 \times 10^{12}\text{cm}^{-2}$ である。これらの結果が

らわかるように、従来方法ではNチャネル多結晶シリコン薄膜トランジスタがデプレッション方向に異常にシフトするのに対し、本発明の結果は、まったくシフトしておらず本発明の効果は非常に大きいものである。

【0008】例えばアクティブマトリクス基板に本発明を用いるとOFF電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為、シフトレジスタ回路(S/R)と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待される。低消費電力化にもなるのでローコスト化にも役に立つ。また低電圧化も可能となるので、素子の信頼性向上にもつながる。

【0009】

【発明の効果】以上述べたように、本発明によれば、立ち上がりが急しゅんで V_{th} が小さくてOFFリーク電流が小さくてさらにNチャネルとPチャネルの V_{th} の絶対値がほぼ一致したすぐれたCMOS型多結晶シリコン薄膜トランジスタを実現することを可能にするので、イメージセンサーなどのデバイスの高速動作低消費電力化及び高信頼化などの要求項目に対し非常に大きな効果をもたらすものである。

【図面の簡単な説明】

【図1】(a)から(e)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図である。

【図2】 Nチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を従来例と比較する為に示したトランジスタ特性図である。

【符号の説明】

1-2; 多結晶シリコン

1-8; ボロンビーム

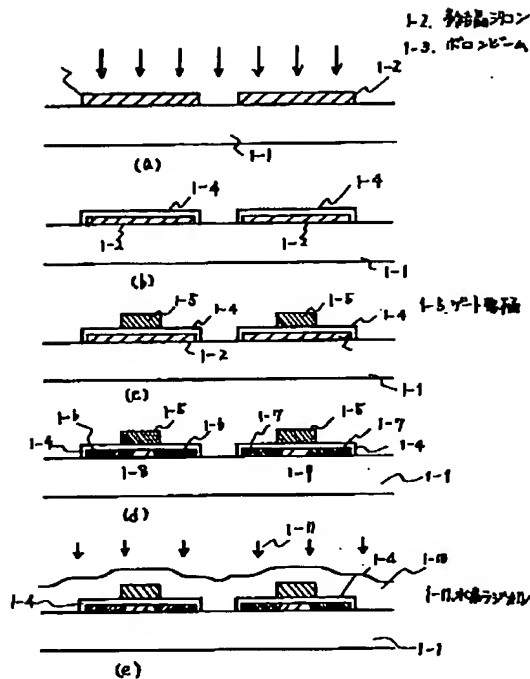
1-5; ゲート電極

1-11; 水素ラジカル

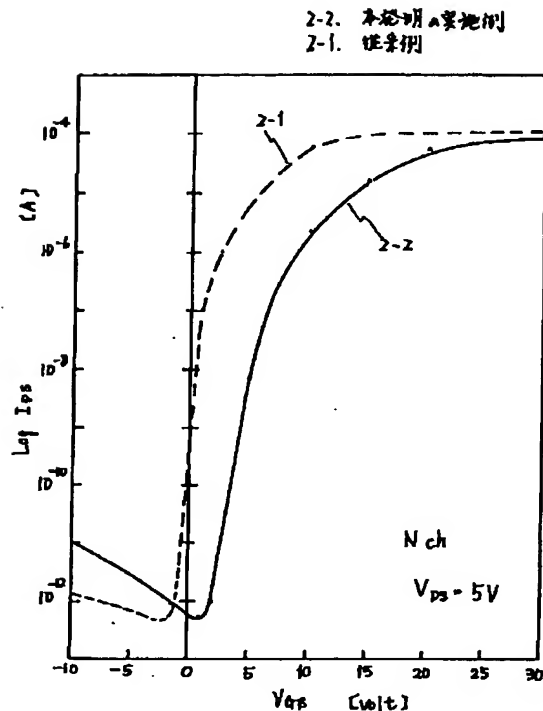
2-1; 従来例によるトランジスタカーブ

2-2; 本発明実施例によるトランジスタカーブ

【図1】



【図2】



【手続補正書】

【提出日】平成9年1月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1導電型多結晶シリコン薄膜トランジスタと第2導電型多結晶シリコン薄膜トランジスタとを有する薄膜トランジスタの製造方法において、絶縁性基板上に前記第1導電型多結晶シリコン薄膜トランジスタの第1多結晶シリコン薄膜と前記第2導電型多結晶シリコン薄膜トランジスタの第2多結晶シリコン薄膜を形成する工程と、前記第1多結晶シリコン薄膜のチャネルとなる領域及び前記第2多結晶シリコン薄膜のチャネルとなる領域の両方に第1導電型の不純物を低濃度にドーピングする工程と、前記第1及び第2多結晶シリコン薄膜上に絶縁膜を介してゲート電極を形成する工程と、前記第1多結晶シリコン薄膜に選択的に第1導電型の不純物を高濃度にドーピングし、前記第2多結晶シリコン

薄膜に選択的に第2導電型の不純物を高濃度にドーピングして、前記第1及び第2導電型多結晶シリコン薄膜トランジスタのソース及びドレインを形成する工程と、前記ソース及びドレインを形成後に、水素処理を施す工程とを有し、前記第1導電型の不純物を低濃度にドーピングするドーピング量を 10^{12} cm^{-2} から 10^{13} cm^{-2} に制御することを特徴とする薄膜トランジスタの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクスあるいはイメージセンサーの画素のスイッチング素子あるいは駆動回路に用いられるCMOS (Complementary-Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタの製造方法に関する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】本発明は、第1導電型多結晶シリコン薄膜トランジスタと第2導電型多結晶シリコン薄膜トランジスタとを有する薄膜トランジスタの製造方法において、絶縁性基板上に前記第1導電型多結晶シリコン薄膜トランジスタの第1多結晶シリコン薄膜と前記第2導電型多結晶シリコン薄膜トランジスタの第2多結晶シリコン薄膜を形成する工程と、前記第1多結晶シリコン薄膜のチャネルとなる領域及び前記第2多結晶

シリコン薄膜のチャネルとなる領域の両方に第1導電型の不純物を低濃度にドーピングする工程と、前記第1及び第2多結晶シリコン薄膜上に絶縁膜を介してゲート電極を形成する工程と、前記第1多結晶シリコン薄膜に選択的に第1導電型の不純物を高濃度にドーピングし、前記第2多結晶シリコン薄膜に選択的に第2導電型の不純物を高濃度にドーピングして、前記第1及び第2導電型多結晶シリコン薄膜トランジスタのソース及びドレインを形成する工程と、前記ソース及びドレインを形成後に、水素処理を施す工程とを有し、前記第1導電型の不純物を低濃度にドーピングするドーピング量を 10^{12} cm^{-2} から 10^{13} cm^{-2} に制御することを特徴とする。

PAT-NO: JP409270521A

DOCUMENT-IDENTIFIER: JP 09270521 A

TITLE: THIN FILM TRANSISTOR MANUFACTURING
METHOD

PUBN-DATE: October 14, 1997

INVENTOR-INFORMATION:

NAME

TAKENAKA, SATOSHI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP08328110

APPL-DATE: December 9, 1996

INT-CL (IPC): H01L029/786, H01L027/08 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent an abnormal shift of the transistor characteristic by the channel doping of boron at specified concn. in a polycrystalline Si of channels to form a light p-type polycrystalline Si.

SOLUTION: Islands of nondoped polycrystalline Si film 1-2 are formed on an insulative transparent substrate 1-1, then a p-type impurity, i.e., B is channel- implanted into the Si 1-2 by the ion implanting over the entire surface of a wafer to form a light p-type polycrystalline Si wherein the implanting is set so that the threshold voltage is about IV

and the resistivity
is not reduced and hence the doping quantity of B is
controlled to be
 10^{12} cm^{-2} to 10^{13} cm^{-2} . A
gate oxide film 1-4
is formed by the heat oxidation. Then a CMOS structure is
formed by the
general process. Thus it is possible to prevent an
abnormal shift of the
transistor characteristic.

COPYRIGHT: (C)1997,JPO

DERWENT-ACC-NO: 1997-556861

DERWENT-WEEK: 199906

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: CMOS polycrystal silicon@ TFT
manufacture for switching
hydrogen plasma element of image sensor - involves
process or plasma processing, hydrogen ion implanting
doping channel with nitride film formation process after
gate electrode predetermined impurity and before
formation

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 1987JP-0072368 (March 26, 1987) ,
1996JP-0328110 (March 26,
1987)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 09270521 A		October 14, 1997	N/A
005	H01L 029/786		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 09270521A	Div ex	
1987JP-0072368	March 26, 1987	
JP 09270521A	N/A	
1996JP-0328110	March 26, 1987	

INT-CL (IPC): H01L021/336, H01L027/08 , H01L029/786

RELATED-ACC-NO: 1988-319861, 1999-067036

ABSTRACTED-PUB-NO: JP 09270521A

BASIC-ABSTRACT:

The method involves forming channel areas by doping respective impurities on a transparent insulated substrate.

Hydrogen plasma process, hydrogen ion implanting process or plasma nitriding film formation process are performed after doping channel with predetermined impurity and before gate electrode formation.

ADVANTAGE - Enables to obtain TFT with high speed operation and high reliability. Reduces power consumption of image sensor.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: CMOS POLYCRYSTALLINE SILICON@ TFT MANUFACTURE
SWITCH ELEMENT IMAGE
 SENSE HYDROGEN PLASMA PROCESS HYDROGEN ION
IMPLANT PROCESS PLASMA
 NITRIDE FILM FORMATION PROCESS AFTER DOPE
CHANNEL PREDETERMINED
 IMPURE GATE ELECTRODE FORMATION

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-C02; L04-C02B; L04-C07D; L04-C12B; L04-E01;

EPI-CODES: U11-C02B; U11-C02J6; U11-C18A3; U12-B03A;

UNLINKED-DERWENT-REGISTRY-NUMBERS: 1532U

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-177833

Non-CPI Secondary Accession Numbers: N1997-464149